

KOKAI (Japanese Patent Unexamined Publication) No. Hei 1-293533

Title of the Invention: Method of Manufacturing Semiconductor Apparatus

Publication Date: November 27, 1989

Patent Application No. 63-124655

Filing Date: May 20, 1988

Applicant: Rohm Co., Ltd.

21-banchi, Mizosakicho, Seiin, Ukyo-ku, Kyoto-shi,
Kyoto-fu, Japan



<Embodiment>

Fig. 1 (a) to (c) are cross-sectional views of a semiconductor apparatus at each manufacturing stage showing an embodiment of the present invention.

An impurity diffusion for forming a collector-buried layer 20 is carried out onto a region 10a where an element such as a transistor or the like is to be formed, on a p-type substrate 10, and an N-type epitaxial layer 30 is grown. On this surface, a thin oxide film 40 of about 1000 Å and a nitride film 60 of 1000 Å serving as a mask for a selective oxidization are formed. Then, the oxide film 40, the nitride film 60 and the epitaxial layer 30 are partially removed by etching, thereby to form a groove 31 that encircle the element-forming region and a recess 32 that is formed apart from the groove 31 for increasing a contact region in the present embodiment (Fig. 1 (a)).

Next, a resist solution is coated onto the nitride film 60. Then, an impurity of the same conductivity type as that of the substrate 10 is ion-injected to form a channel stopper region and a surface contact region such that the ions reach the inside of the epitaxial layer 30 through the nitride film 60 and the oxide film 40, using a resist layer 50 as a mask which is patterned to expose the bottom portions of the groove 31 and the recess 32 and the surface of the nitride film 60 between the groove 31 and the recess

32 (Fig. 1 (b)).

Then, the resist layer 50 is removed, and a selective oxidization is carried out using the nitride film 60 as a mask, thereby to form an oxidized isolation layer 80 and a channel-stopper layer 90. At the same time, the recess 32 is filled with an oxide film. In this case, an impurity for the channel-stopper layer is diffused onto the upper portion within the epitaxial layer, and the same impurity is also diffused onto the surface of the epitaxial layer, thereby to form a surface contact layer 100 that is continuous from the surface of the epitaxial layer to the substrate (Fig. 1 (c)).

Thereafter, contact holes, through which a metal wiring is formed to couple to the surface contact layer 100, are provided. Thus, a desired portion of a circuit of a device suitably formed on the epitaxial layer, in accordance with a circuit design, can be made to have the same potential as that of the substrate.

Further, it is possible to prevent the occurrence of a crystalline defect due to ion injection, by growing an oxide film of about 3000 Å onto the surface of the ion injection region prior to the injection of the impurity ions.

Further, the provision of the recess 32 is not necessarily required. The object of the present invention can be achieved by injecting an impurity of the same conductivity type as that of the substrate into the groove 31 and the surface of the epitaxial layer adjacent to the groove.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01293533 A**(43) Date of publication of application: **27 . 11 . 89**

(51) Int. Cl.

H01L 21/76**H01L 21/28**(21) Application number: **63124655**(22) Date of filing: **20 . 05 . 88**(71) Applicant: **ROHM CO LTD**(72) Inventor: **KAWAI FUMIAKI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

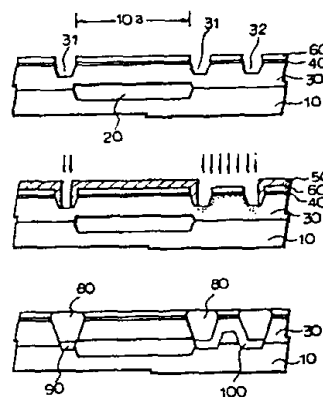
(57) Abstract:

PURPOSE: To simplify manufacturing steps by forming a grooves on an epitaxial layer on the periphery of an element forming region, introducing the same conductivity type impurity as that of a substrate to the groove and the part of the epitaxial layer near the groove, then thermally oxidizing it and forming a surface contact region continued to the substrate simultaneously upon formation of an oxide isolating layer.

CONSTITUTION: When a semiconductor device in which an element forming region 10a is insulator-isolated by an oxide isolating layer 80 is manufactured, grooves 31 for surrounding the region 10a is formed on an epitaxial layer 30 laminated on a substrate 10. Then, the same conductivity type impurity as that of the substrate 10 is implanted to the interior of the groove 31 and the surface of the layer 30 near the groove 31. Then, the impurity is diffused and so heat-treated as to form a surface contact layer 100 continued from the surface of the layer 30 to the substrate 10 and an oxide isolating layer 80. Thus, since the surface contact layer is formed simultaneously with a channel stopper layer) it is not necessary to separately provide a masking step to

form the surface contact layer, and the whole process can be simplified.

COPYRIGHT: (C)1989,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-293533

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)11月27日

H 01 L 21/76
21/28

N-7638-5F
Z-7738-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-124655

⑰ 出 願 昭63(1988)5月20日

⑱ 発 明 者 川 井 文 彰 京都府京都市右京区西院溝崎町21番地 ローム株式会社内

⑲ 出 願 人 ローム株式会社 京都府京都市右京区西院溝崎町21番地

⑳ 代 理 人 弁理士 大西 孝治

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 酸化分離層により素子形成領域を絶縁分離する半導体装置の製造方法において、

サブストレート基板上に積層したエピタキシャル層に素子形成領域を囲む溝を形成する工程と、前記溝の内部および前記溝と近接する前記エピタキシャル層の表面に前記サブストレート基板と同じ導電型の不純物を注入する工程と、前記不純物を拡散させて前記エピタキシャル層の表面から前記サブストレート基板に連なる表面コンタクト層と酸化分離層を形成するための熱処理工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

<産業上の利用分野>

この発明は、酸化膜分離法により集積回路の各構成素子間を絶縁分離する半導体装置の製造方法

に関する。

<従来の技術>

第2図(a)乃至(d)は従来の製造方法を示している。サブストレート基板1上のトランジスタ等の素子形成領域にはコレクタ埋込み層2を形成するための不純物拡散を行い、エピタキシャル層3を成長させ、表面に薄い酸化膜4を形成する。酸化膜4上にレジスト溶液を塗布し、表面コンタクト層の形成領域を露出させるようにパターンニングされたレジスト層5をマスクとして酸化膜4を通してエピタキシャル層3内に、表面コンタクト層を形成するために基板1と同じ導電型の不純物を導入する(第2図(a))。

レジスト層5を除去した後、選択酸化のマスクとなる窒化膜6を形成し、分離領域のエピタキシャル層3の厚さが他の領域の約1/2となるようにエッチングする(第2図(b))。

再びパターンニング加工を施したレジスト層7をマスクとして先の工程でエピタキシャル層3の層厚の小さくなった部分にチャンネルストップ用不

純物をイオン注入する(第2図(c))。

窒化膜6をマスクとして選択酸化を行い酸化分離層8を成長させ、同時にチャンネルストップ層9およびサブストレータ基板1に接触する表面コンタクト層10を形成する(第2図(d))。

その後、酸化分離層8によって絶縁分離された素子形成領域3aに例えばトランジスタ等の回路素子を受け、表面コンタクト領域10上を含め適宜コンタクトホールを形成して回路の所望領域がサブストレータ基板1と同電位となるよう金属配線を施す。

<発明が解決しようとする課題>

表面コンタクト領域を形成するために選択酸化に用いる窒化膜の形成の前に予め不純物を導入しなければならず、そのためにレジスト層のパターニングおよび剝離といったリソグラフィ工程が必要であり、製造工程が複雑である。また、エピタキシャル層表面から導入した不純物がサブストレータ基板に達するまで長時間の熱拡散処理を必要とする。

本発明は上記事情に鑑みて創案されたもので、従来の製造工程に比べてこれを簡略化できる新規な半導体装置の製造方法を提供することを目的としている。

<課題を解決するための手段>

酸化分離層を形成のため、素子形成領域の周囲のエピタキシャル層をエッチング除去して溝を設け、このアイソレーション用の溝とこれに近接するエピタキシャル層の一部にサブストレータ基板と同一導電型不純物を導入した後、熱酸化を行い、酸化分離層を形成するのと同時にサブストレータ基板に達する表面コンタクト領域を形成する。

<作用>

酸化分離層を形成するための熱拡散時にチャンネルストップ用不純物がエピタキシャル層内を上方にも拡散し、またエピタキシャル層表面からも同導電型不純物が拡散してエピタキシャル層表面からサブストレータ基板に達する表面コンタクト領域が形成される。

<実施例>

第1図は本発明の実施例を示す各工程における半導体装置の断面図である。

P型サブストレータ基板10上のトランジスタ等の素子形成領域10aにコレクタ埋込み層20を形成するための不純物拡散を行い、N型エピタキシャル層30を成長させ、表面に1000Å程度の薄い酸化膜40と選択酸化のマスクとなる1000Åの窒化膜60を形成する。そして酸化膜40、窒化膜60及びエピタキシャル層30を部分的にエッチング除去して素子形成領域を囲む溝31と、本実施例ではコンタクト面積を増大させるための溝31と隔てて凹部32を形成する(第1図(a))。

次に、窒化膜60上にレジスト溶液を塗布し、溝31と凹部32の底部および溝31と凹部32間の窒化膜60表面を露出させるようにパターニングされたレジスト層50をマスクとして窒化膜60および酸化膜40を通してエピタキシャル層30内に到達するように、チャンネルストップ領域と表面コンタクト領域を形成するために基板10と同じ導電型の不純物をイオン注入する(第1図(b))。

つづいてレジスト層50を除去した後、窒化膜60をマスクとして選択酸化を行って酸化分離層80、チャンネルストップ層90を形成するとともに凹部32を酸化膜により埋める。このときチャンネルストップ用不純物がエピタキシャル層内を上方にも拡散し、またエピタキシャル層表面からも同じ不純物が拡散してエピタキシャル層表面からサブストレータ基板に達する表面コンタクト層100が形成される(第1図(c))。

その後、コンタクトホール開口を行い表面コンタクト層100と達する金属配線を形成することにより回路上の要請によって適宜エピタキシャル層表面に形成される素子による回路の所望部分をサブストレータ基板と同電位とすることができる。

なお、不純物のイオン注入に先立ち注入領域表面に3000Å程度の酸化膜を成長させてイオン注入による結晶欠陥の発生を防ぐことができる。

また凹部32を必ずしも設ける必要はなく、溝31とこれに近接する位置のエピタキシャル層表面にサブストレータ基板と同じ導電型の不純物を注入

すれば本発明の目的は達成される。

<発明の効果>

表面コンタクト層がチャンネルストップ層と同時に形成されるので、表面コンタクト層形成のために別途マスク工程を設ける必要がなく、全体の工程が簡略化できる。

また、エピタキシャル層表面からサブストレート基板に達する表面コンタクト層を形成する熱処理時間が短縮されるとともに、これによって温度プロファイルに及ぼす影響が低減される。

4. 図面の簡単な説明

第1図は本発明の実施例を示す各製造工程での半導体装置の断面図、第2図は従来例の示す各製造工程での半導体装置の断面図である。

10・・・サブストレート基板

80・・・酸化分離層

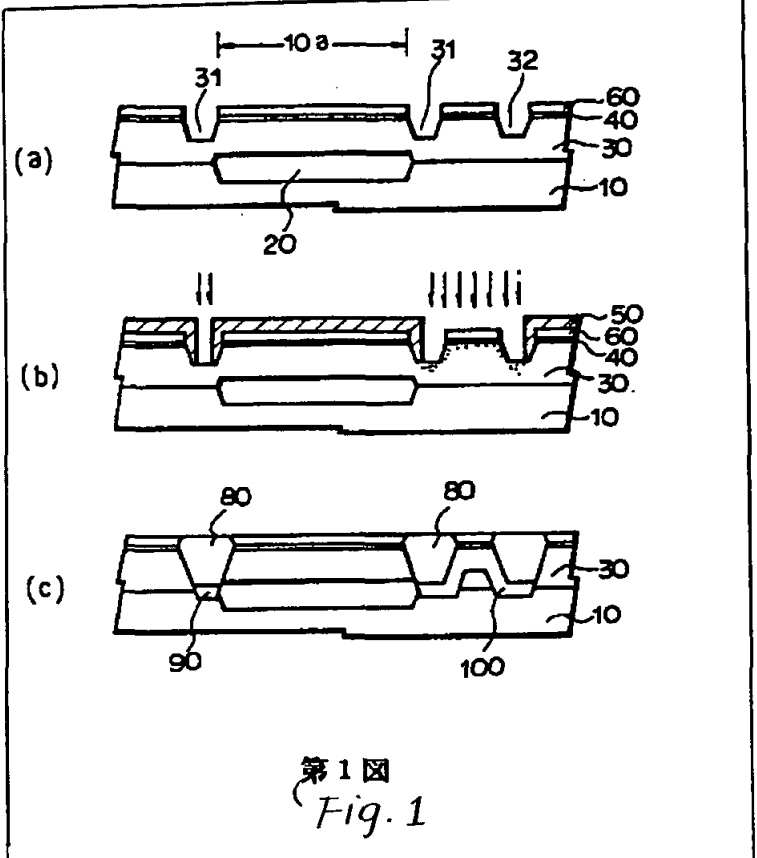
10a・・・素子形成領域

31・・・溝

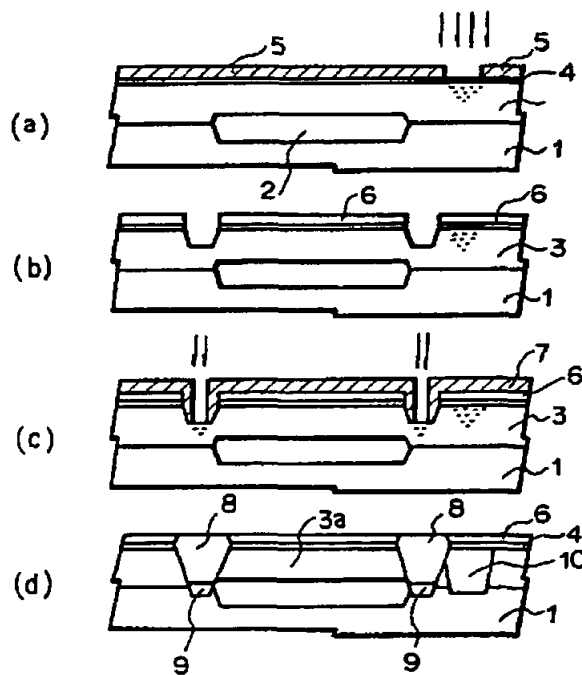
100・・・表面コンタクト層

特許出願人

ローム株式会社



第1図
Fig. 1



第2図